

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 5 日
Date of Application:

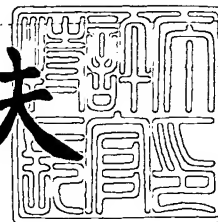
出 願 番 号 特 願 2 0 0 2 - 3 2 0 7 8 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 2 0 7 8 5]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s): シャープ株式会社

2 0 0 3 年 9 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 P006540

【提出日】 平成14年11月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 石川 明

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 江口 晋悟

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区长池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 小田 誠司

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区长池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 樋上 佳則

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100110858

【弁理士】

【氏名又は名称】 柳瀬 睦肇

【選任した代理人】

【識別番号】 100100413

【弁理士】

【氏名又は名称】 渡部 温

【手数料の表示】

【予納台帳番号】 085672

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0207030

【包括委任状番号】 0207031

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその作製方法

【特許請求の範囲】

【請求項 1】 電極上に、該電極を覆うように形成された絶縁膜と、
前記絶縁膜に形成され、前記電極上に配置された接続孔と、
前記絶縁膜に形成され、前記接続孔に繋がられて形成された凹部と、
前記接続孔内及び前記凹部内に埋め込まれた画素電極と、
を具備することを特徴とする半導体装置。

【請求項 2】 電極上に、該電極を覆うように形成された第 1 の絶縁膜と、
前記第 1 の絶縁膜上に形成されたストッパー膜と、
前記ストッパー膜上に形成された第 2 の絶縁膜と、
前記ストッパー膜をエッチングストッパーとして前記第 2 の絶縁膜をエッチングすることにより該第 2 の絶縁膜に形成された凹部と、
前記ストッパー膜及び前記第 1 の絶縁膜をエッチングすることにより該ストッパー膜及び該第 1 の絶縁膜に形成された、前記凹部の下に位置し且つ前記電極の上に位置する接続孔と、
前記接続孔内及び前記凹部内に埋め込まれた画素電極と、
を具備することを特徴とする半導体装置。

【請求項 3】 電極上に、該電極を覆うように形成された第 1 の絶縁膜と、
前記第 1 の絶縁膜上に形成されたストッパー膜と、
前記ストッパー膜上に形成された第 2 の絶縁膜と、
前記第 2 の絶縁膜、前記ストッパー膜及び前記第 1 の絶縁膜をエッチングすることにより該ストッパー膜及び該第 1 の絶縁膜に形成された前記電極の上に位置する接続孔と、
前記ストッパー膜をエッチングストッパーとして前記第 2 の絶縁膜をエッチングすることにより該第 2 の絶縁膜に形成され、前記接続孔に繋がられた凹部と、
前記接続孔内及び前記凹部内に埋め込まれた画素電極と、
を具備することを特徴とする半導体装置。

【請求項 4】 電極上に、該電極を覆うように形成された絶縁膜と、

前記絶縁膜に形成された、前記電極上に位置する接続孔と、
前記接続孔内に埋め込まれた導電膜と、
前記絶縁膜及び埋め込まれた導電膜の上に形成された画素電極と、
を具備することを特徴とする半導体装置。

【請求項 5】 電極上に、該電極を覆うように形成された絶縁膜と、
前記絶縁膜に形成された、前記電極上に位置する接続孔と、
前記接続孔内に埋め込まれると共に前記絶縁膜上に形成された画素電極と、
を具備することを特徴とする半導体装置。

【請求項 6】 前記電極が T F T のドレイン電極であることを特徴とする請求項 1 ～ 5 のうちいずれか 1 項に記載の半導体装置。

【請求項 7】 電極上に、該電極を覆うように絶縁膜を形成する工程と、
前記絶縁膜に、前記電極上に位置する接続孔及び該接続孔に繋げられた凹部を形成する工程と、

前記接続孔内及び前記凹部内に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工程と、

前記導電膜を C M P 研磨又はエッチバックすることにより、前記接続孔内及び前記凹部内に埋め込まれた導電膜からなる画素電極を形成する工程と、
を具備することを特徴とする半導体装置の作製方法。

【請求項 8】 電極上に、該電極を覆うように第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上にストッパー膜を形成する工程と、

前記ストッパー膜上に第 2 の絶縁膜を形成する工程と、

前記ストッパー膜をエッチングストッパーとして前記第 2 の絶縁膜をエッチングすることにより、該第 2 の絶縁膜に凹部を形成する工程と、

前記ストッパー膜及び前記第 1 の絶縁膜をエッチングすることにより、該ストッパー膜及び該第 1 の絶縁膜に、前記凹部の下に位置し且つ前記電極の上に位置する接続孔を形成する工程と、

前記接続孔内及び前記凹部内に導電膜を埋め込むと共に前記第 2 の絶縁膜上に導電膜を形成する工程と、

前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内及び前記凹部内に埋め込まれた導電膜からなる画素電極を形成する工程と、を具備することを特徴とする半導体装置の作製方法。

【請求項 9】 電極上に、該電極を覆うように第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上にストッパー膜を形成する工程と、

前記ストッパー膜上に第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜、前記ストッパー膜及び前記第 1 の絶縁膜をエッチングすることにより、該ストッパー膜及び該第 1 の絶縁膜に前記電極の上に位置する接続孔を形成する工程と、

前記ストッパー膜をエッチングストッパーとして前記第 2 の絶縁膜をエッチングすることにより、該第 2 の絶縁膜に前記接続孔に繋がれた凹部を形成する工程と、

前記接続孔内及び前記凹部内に導電膜を埋め込むと共に前記第 2 の絶縁膜上に導電膜を形成する工程と、

前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内及び前記凹部内に埋め込まれた導電膜からなる画素電極を形成する工程と、

を具備することを特徴とする半導体装置の作製方法。

【請求項 1 0】 電極上に、該電極を覆うように絶縁膜を形成する工程と、前記絶縁膜をエッチングすることにより、該絶縁膜に凹部を形成する工程と、前記絶縁膜をエッチングすることにより、該絶縁膜に前記凹部の下に位置し且つ前記電極の上に位置する接続孔を形成する工程と、

前記接続孔内及び前記凹部内に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内及び前記凹部内に埋め込まれた導電膜からなる画素電極を形成する工程と、

を具備することを特徴とする半導体装置の作製方法。

【請求項 1 1】 電極上に、該電極を覆うように絶縁膜を形成する工程と、前記絶縁膜をエッチングすることにより、前記電極の上に位置する接続孔を形

成する工程と、

前記絶縁膜をエッチングすることにより、該絶縁膜に前記接続孔に繋げられた凹部を形成する工程と、

前記接続孔内及び前記凹部に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内及び前記凹部に埋め込まれた導電膜からなる画素電極を形成する工程と、

を具備することを特徴とする半導体装置の作製方法。

【請求項 12】 電極上に、該電極を覆うように絶縁膜を形成する工程と、

前記絶縁膜に、前記電極上に位置する接続孔を形成する工程と、

前記接続孔内に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内に埋め込まれた導電膜を残しつつ前記絶縁膜上に存在する導電膜を除去する工程と、

前記絶縁膜及び埋め込まれた導電膜の上に画素電極を形成する工程と、

を具備することを特徴とする半導体装置の作製方法。

【請求項 13】 電極上に、該電極を覆うように絶縁膜を形成する工程と、

前記絶縁膜に、前記電極上に位置する接続孔を形成する工程と、

前記接続孔内に第1のITO膜を埋め込むと共に前記絶縁膜上に第1のITO膜を形成する工程と、

前記第1のITO膜をCMP研磨又はエッチバックすることにより、前記接続孔内に埋め込まれた第1のITO膜を残しつつ前記絶縁膜上に存在する第1のITO膜を除去する工程と、

前記埋め込まれた第1のITO膜を焼成する工程と、

前記絶縁膜及び埋め込まれた第1のITO膜の上に第2のITO膜を形成する工程と、

前記第2のITO膜をエッチングすることにより、前記絶縁膜及び埋め込まれた第1のITO膜の上に第2のITO膜からなる透明電極を形成する工程と、

を具備することを特徴とする半導体装置の作製方法。

【請求項 14】 電極上に、該電極を覆うように絶縁膜を形成する工程と、
前記絶縁膜に、前記電極上に位置する接続孔を形成する工程と、
前記接続孔内に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工程と、

前記導電膜をエッチバック又はCMP研磨することにより、前記絶縁膜上に存在する導電膜の膜厚を薄くする工程と、

前記導電膜をエッチングすることにより、前記絶縁膜上に該導電膜からなる画素電極を形成する工程と、

を具備することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜を用いた半導体装置において、平坦な導電膜を形成するためのコンタクト部の構成に関する。特に、アクティブマトリクス型液晶表示装置（以下、AMLCDと呼ぶ）の画素領域において、スイッチング素子と画素電極とを電氣的に接続するための接続部の構成に関する。

【0002】

【従来の技術】

近年、安価なガラス基板上にTF Tを作製する技術が急速に発達してきている。その理由は、AMLCD(Active Matrix Liquid Crystal Display)の需要が高まったことにある。

【0003】

AMLCDはマトリクス状に配置された数十～数百万個もの各画素のそれぞれにスイッチング素子として薄膜トランジスタ(TF T)を配置し、各画素電極に出入りする電荷をTF Tのスイッチング機能により制御するものである。

【0004】

各画素電極と対向電極との間には液晶が挟み込まれ、一種のコンデンサを形成している。従って、TF Tによりこのコンデンサへの電荷の出入りを制御することで、液晶に印加される電界の強さを制御する。これにより、液晶表示装置の電

気光学特性に応じて、液晶表示装置を透過する光量を制御して画素表示を行うことができる。また、パネル内の各画素においてこの制御をそれぞれ個別に行うことで、全体として画像表示をすることができる。

【0005】

このような液晶を用いた表示装置に特有の現象として光漏れと呼ばれる現象がある。液晶は、画素電極と対向電極との間で、ある規則性をもった配向性をもって配列している。しかし、パターン段差の存在によるラビング不良、画素電極表面の凹凸、液晶表示装置駆動時に液晶に印加される電界の乱れなどが原因で、液晶の配向性に乱れが生じる場合がある。光漏れとは、液晶の配向が乱れた部分における光の透過率がほかの部分と比べて高くなることである。特に投影式の液晶表示装置の場合は、光漏れによる表示品位の劣化が大きい。このような場合、液晶の配向が乱れた部分では、本来示すべき電気光学特性を示すことが困難となる。代表的には、黒レベルに近い階調を表示している画素では、この光漏れの影響により、本来表示すべき階調より透過率が高くなり、十分な黒色の表示が困難となる。この結果、表示品位の劣化やコントラストの低下が発生する。

【0006】

これまではディスクリネーションを防止するためにTFTを平坦化膜で覆う構成などの工夫が施されたが、現状では必ずしも抜本的な解決策とはなっていない。なぜならば、如何に平坦化膜を利用しても最終的に形成される画素電極のコンタクト部の段差を平坦化することは困難だからである。

【0007】

図10は、従来の半導体装置を模式的に示す断面図である。

図示せぬ下地膜上にメタル電極からなるドレイン電極101を形成し、このドレイン電極101の上に層間絶縁膜102を形成する。次いで、この層間絶縁膜102の上にレジスト膜を設け、このレジスト膜をマスクとして層間絶縁膜102をドライエッチングすることにより、該層間絶縁膜にはドレイン電極101上に位置するドレインコンタクトホール102aが形成される。次いで、このドレインコンタクトホール内及び層間絶縁膜上に導電膜を形成し、この導電膜をパターンニングすることにより、層間絶縁膜102上にはドレインコンタクトホール1

02a内でドレイン電極101に接続された画素電極103が形成される。また、ドレインコンタクトホール102内を画素電極103で全て覆うために、画素電極103にはオーバーラップ領域103aが形成されている。

【0008】

ところで、TFT基板の表面の平坦化に関して、開口領域や配線近傍については対策がされているが、画素電極とTFTとを導通させるドレインコンタクトホールの段差は、図10に示すようにそのまま残されている。この段差は、液晶配向の乱れの原因や、後工程のラビング工程などで悪い影響を及ぼす原因となることが予想される。

【0009】

【発明が解決しようとする課題】

本発明は上記のような事情を考慮してなされたものであり、平坦な導電膜を形成するためのコンタクト部の構成に関する技術を提供することにある。

【0010】

特にAMLCDの画素電極を十分に平坦化し、コンタクト部の段差又は画素電極間の段差に起因するディスクリネーションの発生を防止することを目的とする。

【0011】

【課題を解決するための手段】

上記課題を解決するため、本発明に係る半導体装置は、電極上に、該電極を覆うように形成された絶縁膜と、前記絶縁膜に形成され、前記電極上に配置された接続孔と、前記絶縁膜に形成され、前記接続孔に繋げられて形成された凹部と、前記接続孔内及び前記凹部内に埋め込まれた画素電極と、を具備することを特徴とする。

【0012】

本発明に係る半導体装置は、電極上に、該電極を覆うように形成された第1の絶縁膜と、前記第1の絶縁膜上に形成されたストッパー膜と、前記ストッパー膜上に形成された第2の絶縁膜と、前記ストッパー膜をエッチングストッパーとして前記第2の絶縁膜をエッチングすることにより該第2の絶縁膜に形成された凹

部と、前記ストッパー膜及び前記第 1 の絶縁膜をエッチングすることにより該ストッパー膜及び該第 1 の絶縁膜に形成された、前記凹部の下に位置し且つ前記電極の上に位置する接続孔と、前記接続孔内及び前記凹部内に埋め込まれた画素電極と、を具備することを特徴とする。

【0 0 1 3】

本発明に係る半導体装置は、電極上に、該電極を覆うように形成された第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成されたストッパー膜と、前記ストッパー膜上に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜、前記ストッパー膜及び前記第 1 の絶縁膜をエッチングすることにより該ストッパー膜及び該第 1 の絶縁膜に形成された前記電極の上に位置する接続孔と、前記ストッパー膜をエッチングストッパーとして前記第 2 の絶縁膜をエッチングすることにより該第 2 の絶縁膜に形成され、前記接続孔に繋げられた凹部と、前記接続孔内及び前記凹部内に埋め込まれた画素電極と、を具備することを特徴とする。

【0 0 1 4】

本発明に係る半導体装置は、電極上に、該電極を覆うように形成された絶縁膜と、前記絶縁膜に形成された、前記電極上に位置する接続孔と、前記接続孔内に埋め込まれた導電膜と、前記絶縁膜及び埋め込まれた導電膜の上に形成された画素電極と、を具備することを特徴とする。

【0 0 1 5】

本発明に係る半導体装置は、電極上に、該電極を覆うように形成された絶縁膜と、前記絶縁膜に形成された、前記電極上に位置する接続孔と、前記接続孔内に埋め込まれると共に前記絶縁膜上に形成された画素電極と、を具備することを特徴とする。

【0 0 1 6】

また、本発明に係る半導体装置においては、前記電極が T F T のドレイン電極であることも可能である。

【0 0 1 7】

本発明に係る半導体装置の作製方法は、電極上に、該電極を覆うように絶縁膜を形成する工程と、前記絶縁膜に、前記電極上に位置する接続孔及び該接続孔に

繋げられた凹部を形成する工程と、前記接続孔内及び前記凹部内に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工程と、前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内及び前記凹部内に埋め込まれた導電膜からなる画素電極を形成する工程と、を具備することを特徴とする。

【0018】

上記半導体装置の作製方法によれば、接続孔内を全て導電膜で埋め込むことにより、接続孔による段差の発生を防止することができる。また、凹部内を全て導電膜で埋め込み、導電膜をCMP研磨又はエッチバックすることにより、絶縁膜と画素電極との段差の発生を防止することができる。これにより、段差に起因するディスクリネーションの発生を防止することができる。

【0019】

本発明に係る半導体装置の作製方法は、電極上に、該電極を覆うように第1の絶縁膜を形成する工程と、前記第1の絶縁膜上にストッパー膜を形成する工程と、前記ストッパー膜上に第2の絶縁膜を形成する工程と、前記ストッパー膜をエッチングストッパーとして前記第2の絶縁膜をエッチングすることにより、該第2の絶縁膜に凹部を形成する工程と、前記ストッパー膜及び前記第1の絶縁膜をエッチングすることにより、該ストッパー膜及び該第1の絶縁膜に、前記凹部の下に位置し且つ前記電極の上に位置する接続孔を形成する工程と、前記接続孔内及び前記凹部内に導電膜を埋め込むと共に前記第2の絶縁膜上に導電膜を形成する工程と、前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内及び前記凹部内に埋め込まれた導電膜からなる画素電極を形成する工程と、を具備することを特徴とする。

なお、前記ストッパー膜は、第2の絶縁膜をエッチングする際にエッチングストッパーとして作用する膜であれば種々の膜を用いることが可能である。

【0020】

本発明に係る半導体装置の作製方法は、電極上に、該電極を覆うように第1の絶縁膜を形成する工程と、前記第1の絶縁膜上にストッパー膜を形成する工程と、前記ストッパー膜上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜、前記ストッパー膜及び前記第1の絶縁膜をエッチングすることにより、該ストッパ

一膜及び該第1の絶縁膜に前記電極の上に位置する接続孔を形成する工程と、前記ストッパー膜をエッチングストッパーとして前記第2の絶縁膜をエッチングすることにより、該第2の絶縁膜に前記接続孔に繋げられた凹部を形成する工程と、前記接続孔内及び前記凹部内に導電膜を埋め込むと共に前記第2の絶縁膜上に導電膜を形成する工程と、前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内及び前記凹部内に埋め込まれた導電膜からなる画素電極を形成する工程と、を具備することを特徴とする。

【0021】

本発明に係る半導体装置の作製方法は、電極上に、該電極を覆うように絶縁膜を形成する工程と、前記絶縁膜をエッチングすることにより、該絶縁膜に凹部を形成する工程と、前記絶縁膜をエッチングすることにより、該絶縁膜に前記凹部の下に位置し且つ前記電極の上に位置する接続孔を形成する工程と、前記接続孔内及び前記凹部内に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工程と、前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内及び前記凹部内に埋め込まれた導電膜からなる画素電極を形成する工程と、を具備することを特徴とする。

【0022】

本発明に係る半導体装置の作製方法は、電極上に、該電極を覆うように絶縁膜を形成する工程と、前記絶縁膜をエッチングすることにより、前記電極の上に位置する接続孔を形成する工程と、前記絶縁膜をエッチングすることにより、該絶縁膜に前記接続孔に繋げられた凹部を形成する工程と、前記接続孔内及び前記凹部内に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工程と、前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内及び前記凹部内に埋め込まれた導電膜からなる画素電極を形成する工程と、を具備することを特徴とする。

【0023】

本発明に係る半導体装置の作製方法は、電極上に、該電極を覆うように絶縁膜を形成する工程と、前記絶縁膜に、前記電極上に位置する接続孔を形成する工程と、前記接続孔内に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工

程と、前記導電膜をCMP研磨又はエッチバックすることにより、前記接続孔内に埋め込まれた導電膜を残しつつ前記絶縁膜上に存在する導電膜を除去する工程と、前記絶縁膜及び埋め込まれた導電膜の上に画素電極を形成する工程と、を具備することを特徴とする。

【0024】

上記半導体装置の作製方法によれば、接続孔内を全て導電膜で埋め込むことにより、接続孔による段差の発生を抑制することができる。したがって、段差に起因するディスクリネーションの発生を防止することができる。

【0025】

本発明に係る半導体装置の作製方法は、電極上に、該電極を覆うように絶縁膜を形成する工程と、前記絶縁膜に、前記電極上に位置する接続孔を形成する工程と、前記接続孔内に第1のITO膜を埋め込むと共に前記絶縁膜上に第1のITO膜を形成する工程と、前記第1のITO膜をCMP研磨又はエッチバックすることにより、前記接続孔内に埋め込まれた第1のITO膜を残しつつ前記絶縁膜上に存在する第1のITO膜を除去する工程と、前記埋め込まれた第1のITO膜を焼成する工程と、前記絶縁膜及び埋め込まれた第1のITO膜の上に第2のITO膜を形成する工程と、前記第2のITO膜をエッチングすることにより、前記絶縁膜及び埋め込まれた第1のITO膜の上に第2のITO膜からなる透明電極を形成する工程と、を具備することを特徴とする。

【0026】

上記半導体装置の作製方法によれば、埋め込まれた第1のITO膜の上に透明電極を形成するために、第2のITO膜をエッチングした際、透明電極が第1のITO膜の全体を覆っていない場合でも、第1のITO膜を焼成しているため、第1のITO膜がエッチングされることはない。このため、接続孔内で埋め込まれた第1のITO膜が断線することを抑制できる。

【0027】

本発明に係る半導体装置の作製方法は、電極上に、該電極を覆うように絶縁膜を形成する工程と、前記絶縁膜に、前記電極上に位置する接続孔を形成する工程と、前記接続孔内に導電膜を埋め込むと共に前記絶縁膜上に導電膜を形成する工

程と、前記導電膜をエッチバック又はCMP研磨することにより、前記絶縁膜上に存在する導電膜の膜厚を薄くする工程と、前記導電膜をエッチングすることにより、前記絶縁膜上に該導電膜からなる画素電極を形成する工程と、を具備することを特徴とする。

【0028】

上記半導体装置の作製方法によれば、絶縁膜上に画素電極を形成するために、導電膜をエッチングした際、画素電極が接続孔の全体を覆っていない場合でも、該接続孔内で埋め込まれた導電膜が断線することを抑制できる。

【0029】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

図1(A)乃至(C)は、本発明に係る第1の実施の形態による半導体装置の一例であるAMLCDの製造方法を示す断面図である。図2(A)乃至(D)は、図1(A)に示す状態を実現する製造方法の一例を示す断面図である。

【0030】

図1(A)に示すように、図示せぬ下地膜上に導電膜を形成し、この導電膜をパターニングすることにより、該下地膜上には該導電膜からなる電極1a, 1bが形成される。この電極1a, 1bは、例えばドレイン電極などの種々のメタル電極であっても良い。ただし、電極に限定されるものではなく、電極1a, 1bに替えて配線等を用いることも可能である。また、下地膜は、例えば絶縁膜、半導体膜又は導電膜であっても良い。

【0031】

次いで、電極1a, 1b及び下地膜の上に絶縁膜2を形成する。これにより、電極1a, 1bは絶縁膜2によって覆われる。この絶縁膜2は、種々の材質の絶縁膜を用いることが可能であるが、例えば酸化珪素、窒化珪素、酸化窒化珪素等の珪素を含む絶縁膜や単層又は積層の有機樹脂膜を用いることも可能である。次いで、この絶縁膜2を加工することにより、該絶縁膜2には各々の電極1a, 1bの上に位置するコンタクトホール2a, 2b及びこのコンタクトホール2a, 2bに繋げられた画素電極とほぼ等しい形状の凹部(溝)2c, 2dが形成され

る。

【0032】

次に、図1 (A) の状態に絶縁膜2を加工する方法について図2を参照しつつ説明する。

図2 (A) に示すように、図示せぬ下地膜上に電極1a, 1bを形成し、この電極1a, 1bの上に層間絶縁膜3をCVD (chemical vapor deposition) 法により成膜する。この層間絶縁膜3は、例えばSiO₂、SiON、SiNO等の膜を用いる。

【0033】

次いで、層間絶縁膜3をCMP (Chemical Mechanical Polishing) で研磨することにより、該層間絶縁膜3を平坦化する。次いで、この平坦化した層間絶縁膜3の上に膜厚が100nm以下の窒化珪素膜4をCVD法又はスパッタ法で成膜する。次いで、窒化珪素膜4の上に酸化珪素膜5をCVD法又はスパッタ法で成膜する。酸化珪素膜5の膜厚は、画素電極の仕上がり膜厚に加工マージンを加えた厚さとする。これら層間絶縁膜3、窒化珪素膜4及び酸化珪素膜5により絶縁膜2が構成されている。次いで、酸化珪素膜5の上にレジスト膜を塗布し、このレジスト膜を露光、現像することにより、該酸化珪素膜5上にはレジストパターン6が形成される。

【0034】

次に、図2 (B) に示すように、このレジストパターン6をマスクとして酸化珪素膜5をエッチングする。この際、エッチングはウェットエッチングでもドライエッチングでも良く、窒化珪素膜4はエッチングストッパーとして作用する。これにより、酸化珪素膜5には画素電極の仕上がり形状とほぼ同じ形状の凹部 (溝) 2c, 2dが形成される。

【0035】

この後、図2 (C) に示すように、レジストパターン6を剥離した後、窒化珪素膜4及び酸化珪素膜5の上にレジスト膜を塗布し、このレジスト膜を露光、現像することにより、窒化珪素膜及び酸化珪素膜の上にはレジストパターン7が形成される。

【0036】

次に、図2 (D) に示すように、レジストパターン7をマスクとして窒化珪素膜4をエッチングする。この際、エッチングはウエットエッチングでもドライエッチングでも良い。次いで、レジストパターン7をマスクとして層間絶縁膜3をエッチングする。この際、エッチングはウエットエッチングでもドライエッチングでも良い。これにより、窒化珪素膜4及び層間絶縁膜3には各々の電極1a, 1bの上に位置するコンタクトホール2a, 2bが形成される。次いで、レジストパターン7を剥離する。このようにして図1 (A) に示すようなコンタクトホール2a, 2b及び凹部2c, 2dを絶縁膜2形成する。なお、コンタクトホール2a, 2bの径Lは、画素電極の仕上がり膜厚の2倍以下であることが好ましいが、これは必須要件ではない。

【0037】

なお、図1 (A) の状態に絶縁膜2を加工する方法は、上述した方法に限定されるものではなく、他の方法を用いることも可能であり、上述した方法を多少変更したものを用いることも可能である。例えば、酸化珪素膜5に凹部2c, 2dをエッチング加工により形成する際、窒化珪素膜4をエッチングストッパーとして用いているが、窒化珪素膜4を用いることなく絶縁膜2に凹部2c, 2dを形成することも可能である。この場合は、凹部2c, 2dの深さをエッチング時間によって精密に制御することにより実施する。

【0038】

また、図2に示す方法では、酸化珪素膜5に凹部2c, 2dを形成した後、層間絶縁膜3にコンタクトホール2a, 2bを形成しているが、層間絶縁膜3にコンタクトホール2a, 2bを形成した後、酸化珪素膜5に凹部2c, 2dを形成することも可能である。すなわち、酸化珪素膜5、窒化珪素膜4及び層間絶縁膜3をエッチングすることにより、該層間絶縁膜3にコンタクトホール2a, 2bを形成した後、窒化珪素膜4をエッチングストッパーとして酸化珪素膜5をエッチングすることにより、該酸化珪素膜5に凹部2c, 2dを形成することも可能である。

【0039】

図1 (A) の状態に加工した後、図1 (B) に示すように、コンタクトホール 2 a, 2 b 内、凹部 2 c, 2 d 内及び絶縁膜 2 上に導電膜 8 を形成する。この導電膜 8 は例えばスパッタ法により成膜した ITO(indium tin oxide)膜を用いることも可能である。導電膜 8 の膜厚は、コンタクトホールの径 L の $1/2$ 以上であることが好ましく、コンタクトホール内を全て導電膜 8 で埋め込む。次いで、必要な場合は埋め込み導電膜 8 を焼成する。

【0040】

次に、図1 (C) に示すように、導電膜 8 をCMP研磨する。この際、絶縁膜 2 又は酸化珪素膜 5 をストッパーとする。これにより、導電膜 8 が平坦化され、絶縁膜 2 の凹部内には埋め込み導電膜 8 a, 8 b が形成され、この埋め込み導電膜 8 a, 8 b はコンタクトホール内で電極 1 a, 1 b に電氣的に接続される。埋め込み導電膜 8 a, 8 b は、画素電極と同じ材料、例えば、透過型液晶表示装置においては透明電極の材料である ITO 等、反射型液晶表示装置においては、反射性を有する金属材料であることが好ましい。なお、このCMP研磨工程では、研磨マージンなどを考慮すると凸部（凸部とは、凹部 2 c と凹部 2 d との間の酸化珪素膜 5 である）の高さが比較的に高い方が好ましく、また凸部による段差を配向制御に利用することを考慮すると、凸部の高さを正確に制御することが重要となるが、上記の方法であれば凸部の高さの制御も容易である。

【0041】

上記第1の実施の形態によれば、コンタクトホール 2 a, 2 b 内を全て埋め込み導電膜で埋め込むことにより、コンタクトホールによる段差の発生を防止することができる。また、凹部 2 c, 2 d 内を全て画素電極で埋め込み、絶縁膜 2 又は酸化珪素膜 5 をストッパーとして導電膜をCMP研磨することにより、絶縁膜 2 と画素電極との段差の発生を防止することができる。これにより、段差に起因するディスクリネーションの発生を防止することができ、段差に影響した液晶の配向乱れも防止でき、ラビング処理も全面均一に行うことが可能となる。

【0042】

なお、前記第1の実施の形態では、導電膜 8 をCMP研磨することにより、絶縁膜 2 の凹部内に埋め込み導電膜 8 a, 8 b を形成しているが、導電膜 8 をエツ

チバックすることにより、絶縁膜 2 の凹部内に埋め込み導電膜 8 a, 8 b を形成することも可能である。

【0043】

図 3 (A) 乃至 (D) は、本発明に係る第 2 の実施の形態による半導体装置の一例である AMLCD の製造方法を示す断面図であり、図 1 と同一部分には同一符号を付す。

【0044】

図 3 (A) に示す電極 1 a を図示せぬ下地膜上に形成する工程までは第 1 の実施の形態と同様である。

次に、電極 1 a 及び下地膜の上に CVD 法により層間絶縁膜 1 2 を形成する。これにより、電極 1 a は層間絶縁膜 1 2 によって覆われる。この層間絶縁膜 1 2 は、種々の材質の絶縁膜を用いることが可能であるが、例えば SiO_2 、 SiON 、 SiNO 等の膜を用いることも可能である。

【0045】

次いで、層間絶縁膜 1 2 を CMP で研磨することにより、該層間絶縁膜 1 2 を平坦化する。次いで、この平坦化した層間絶縁膜 1 2 の上にレジスト膜（図示せず）を塗布し、このレジスト膜を露光、現像することにより、該層間絶縁膜 1 2 の上にはレジストパターンが形成される。次いで、このレジストパターンをマスクとして層間絶縁膜 1 2 をエッチングする。この際、エッチングはウエットエッチングでもドライエッチングでも良い。これにより、該層間絶縁膜 1 2 には電極 1 a の上に位置するコンタクトホール 1 2 a が形成される。次いで、レジストパターンを剥離する。

【0046】

次いで、コンタクトホール 1 2 a 内及び層間絶縁膜 1 2 上に第 1 の導電膜 1 8 を成膜する。第 1 の導電膜 1 8 は、後に形成する第 2 の導電膜が ITO の場合、ITO 膜、W 膜、TiW 膜等の ITO と接触した時に電蝕を起こさない膜を用いることが好ましい。第 1 の導電膜 1 8 の膜厚は、コンタクトホールの径の $1/2$ 以上であることが好ましく、コンタクトホール内を全て第 1 の導電膜 1 8 で埋め込む。次いで、第 1 の導電膜 1 8 に ITO 膜を用いた場合は、必要に応じて焼成

する。

【0047】

この後、図3 (B) に示すように、成膜した第1の導電膜18の厚さの分だけ該導電膜18をエッチバックする。このエッチバックはドライエッチングでもウエットエッチングでも良いが、第1の導電膜18にITO膜を用いて該ITO膜に焼成を行っていない場合はウエットエッチングを用いることが好ましい。このようにしてコンタクトホール12a内には導電膜18aが埋め込まれ、この埋め込み導電膜18aを含む層間絶縁膜12は平坦化され、埋め込み導電膜18aはコンタクトホール内で電極1aに電氣的に接続される。なお、前記導電膜18をエッチバックする工程に替えて導電膜18をCMP研磨することも可能である。

【0048】

次に、図3 (C) に示すように、埋め込み導電膜18a及び層間絶縁膜12の上に第2の導電膜19を成膜する。なお、第2の導電膜は画素電極の材料からなる膜を用いることが好ましい。さらに、第2の導電膜は、第1の導電膜よりもエッチングレートの高いものを用いることが好ましい。

【0049】

この後、図3 (D) に示すように、第2の導電膜19の上にレジスト膜を塗布し、このレジスト膜を露光、現像することにより、第2の導電膜19上にはレジストパターン20が形成される。

【0050】

次いで、このレジストパターン20をマスクとして第2の導電膜19をエッチングする。この際、エッチングはウエットエッチングでもドライエッチングでも良い。次いで、レジストパターン20を剥離する。これにより、図3 (E) に示すように、埋め込み導電膜18a及び層間絶縁膜12の上に第2の導電膜からなる導電膜パターン19aが形成される。次いで、この導電膜パターン19aがITO膜からなる場合は焼成することが好ましい。導電膜パターン19aは例えば透明電極（画素電極）となることも可能である。

【0051】

前記第2の導電膜19にITO膜を用い、レジストパターン20をマスクとし

て第2の導電膜19をウェットエッチングした際、レジストパターン20が埋め込み導電膜18aの全体を覆っていない場合でも、埋め込み導電膜18aにITOを用いて該埋め込み導電膜18aに焼成を行っておけば、埋め込み導電膜18aの方が導電膜19に比べてエッチングレートが低いため、埋め込み導電膜18aが深くエッチングされることはない。即ち、導電膜パターン19aが埋め込み導電膜18aの全体を覆っていない場合でも、焼成されたITOで形成される埋め込み導電膜18aが深くエッチングされることがないため、コンタクトホール内で埋め込み導電膜18aが断線する危険がない。したがって、本実施の形態を適用することにより、従来技術である図10に示すオーバーラップ領域103aに相当するような領域を低減することが可能となり、開口面積の改善を図ることもできる。

【0052】

また、第2の実施の形態では、コンタクトホール12a内を全て埋め込み導電膜18aで埋め込むことにより、コンタクトホールによる段差の発生を抑制することができる。したがって、段差に起因するディスクリネーションの発生を防止することができ、段差に影響した液晶の配向乱れも防止でき、ラビング処理も全面均一に行うことが可能となる。

【0053】

また、本実施の形態をTF T基板表面に適用した場合、該TF T基板表面を平坦化することができ、ラビングなどの対向基板との貼り合わせ工程における段差の影響を改善することが可能となる。

【0054】

図4(A)乃至(D)は、本発明に係る第3の実施の形態による半導体装置の一例であるAMLCDの製造方法を示す断面図であり、図3と同一部分には同一符号を付す。

【0055】

図4(A)に示す層間絶縁膜12にコンタクトホール12aを形成する工程までは第2の実施の形態と同様である。

【0056】

次いで、コンタクトホール 12a 内及び層間絶縁膜 12 上に導電膜 28 を成膜する。導電膜 28 は画素電極の材料となる膜、例えば ITO 膜を用いることが好ましい。導電膜 28 の膜厚は、コンタクトホールの径の $1/2$ 以上であることが好ましく、コンタクトホール内を全て導電膜 28 で埋め込む。

【0057】

この後、図 4 (B) に示すように、導電膜 28 をエッチバックすることにより、層間絶縁膜 12 上の導電膜の膜厚を所定の厚さに制御する。この際の制御方法としては例えばエッチング時間により制御する方法が挙げられる。エッチバックはドライエッチングでもウエットエッチングでも良い。このようにしてコンタクトホール 12a 内には導電膜 28 が埋め込まれ、導電膜 28 はコンタクトホール内で電極 1a に電氣的に接続される。なお、前記導電膜の膜厚を所定の厚さに制御する方法としては、エッチバック以外であっても良く、CMP 研磨により導電膜の膜厚を所定の厚さに制御する方法でも良い。この場合、研磨時間などの研磨条件により制御することが好ましい。

【0058】

次に、図 4 (C) に示すように、導電膜 28 の上にレジスト膜を塗布し、このレジスト膜を露光、現像することにより、導電膜 28 上にはレジストパターン 20 が形成される。

【0059】

次いで、このレジストパターン 20 をマスクとして導電膜 28 をエッチングする。この際、エッチングはウエットエッチングでもドライエッチングでも良い。次いで、レジストパターン 20 を剥離する。これにより、図 4 (D) に示すように、コンタクトホール及び層間絶縁膜 12 の上には導電膜パターン 28a が形成され、この導電膜パターン 28a はコンタクトホール内で電極 1a に電氣的に接続される。次いで、この導電膜パターン 28a が ITO 膜からなる場合は焼成することが好ましい。導電膜パターン 28a は例えば画素電極となることも可能である。

【0060】

前記レジストパターン 20 がコンタクトホール 12a の全体を覆っていない場

合でも、通常は、画素電極の厚さに比べ、コンタクトホール12aの深さの方が十分に大きいので、コンタクトホール内で導電膜パターン28aが断線することを抑制できる。したがって、本実施の形態を適用することにより、従来技術である図10に示すオーバーラップ領域103aに相当するような領域を低減することが可能となり、開口面積の改善を図ることもできる。

【0061】

また、第3の実施の形態では、コンタクトホール12a内を全て導電膜28で埋め込むことにより、コンタクトホールによる段差の発生を低減することができる。したがって、段差に影響されずにラビング処理を行うことができ、段差に影響された液晶の配向乱れを抑制することができ、光漏れの発生を低減することができる。

【0062】

また、本実施の形態をTFT基板表面に適用した場合、該TFT基板表面を平坦化することができ、対向基板との貼り合わせ工程における段差の影響を改善することが可能となる。

【0063】

尚、本発明は前記実施の形態に限定されず、種々変更して実施することが可能である。

【0064】

【実施例】

（実施例1）

図5乃至図7は、本発明の実施例1による半導体装置の一例としてのAMLCDの製造方法を示す断面図である。このAMLCDは反射型モードで駆動するものであり、画素マトリクス回路を構成する単位画素（単位絵素）を示すものである。

【0065】

まず、図5（A）に示すように、基板として石英基板31を用意し、その上に20nm厚の酸化珪素膜（図示せず）と非晶質珪素膜32とを大気開放しないまま連続的に成膜する。こうすることで非晶質珪素膜32の下表面に大気中に含ま

れるボロン等の不純物が吸着することを防ぐことができる。

【0066】

なお、本実施例では非晶質珪素（アモルファスシリコン）膜を用いるが、他の半導体膜であっても構わなく、非晶質シリコンゲルマニウム膜でも良い。

【0067】

次に、非晶質珪素膜 32 の結晶化を行う。本実施例では結晶化手段として、特開平 9-312260 号公報に記載された技術を用いる。同公報に記載された技術は、結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄、銅から選ばれた元素を用いた固相成長により非晶質珪素膜の結晶化を行う。

本実施例では触媒元素としてニッケルを選択し、非晶質珪素膜 32 上にニッケルを含んだ層（図示せず）を形成し、550℃4時間の熱処理を行って結晶化する。そして、結晶質珪素（ポリシリコン）膜を得る。

【0068】

次に、結晶質珪素膜上に100nm厚の酸化珪素膜でなるマスク膜 33 を形成し、その上にレジストマスク（図示せず）を形成する。次いで、このレジストマスクをマスクとしてマスク膜 33 をエッチングすることにより、該マスク膜 33 には開口部 34 が形成される。

【0069】

次に、図 5（B）に示すように、マスク膜 33 をマスクとして周期表の 15 族に属する元素（本実施例ではリン）を添加する。これにより、結晶質珪素膜にはリンドーピング領域（リン添加領域）37 が形成される。なお、添加するリンの濃度は $5 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ が好ましく、より好ましくは $1 \times 10^{19} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ である。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドーピング領域の面積によって変化するため、この濃度範囲に限定されるものではない。

【0070】

次に、図 5（C）に示すように、前記レジストマスクを除去して 450～650℃（好ましくは 500～600℃）の熱処理を 2～16 時間加え、結晶質珪素

膜中に残存するニッケルのゲッタリングを行う。ゲッタリング作用を得るためには熱履歴の最高温度から±50℃程度の温度が必要であるが、結晶化のための熱処理が550～600℃で行われるため、500～650℃の熱処理で十分にゲッタリング作用を得ることができる。

【0071】

本実施例では600℃、8時間の熱処理を加えることによってニッケルが図5 (C) に示す矢印の方向に移動し、リンドープ領域37にゲッタリングされる。こうして結晶質珪素膜に残存するニッケルの濃度は $2 \times 10^{17} \text{ atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下）にまで低減され、被ゲッタリング領域38が得られる。但し、この濃度は質量二次イオン分析（SIMS）による測定結果であり、測定限界の関係で現状ではこれ以下の濃度は確認できていない。

【0072】

こうしてニッケルのゲッタリング工程が終了したら、図5 (D) に示すように、パターニングにより被ゲッタリング領域38のみで構成される活性層39、40を形成する。その際、ニッケルを捕獲したリン添加領域は完全に除去してしまうことが望ましい。そして、プラズマCVD法またはスパッタ法によりゲイト絶縁膜41を形成する。このゲイト絶縁膜は画素TF Tのゲイト絶縁膜として機能することになる絶縁膜であり、膜厚は50～200 nmとする。本実施例では75 nm厚の酸化珪素膜を用いる。また、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

【0073】

次いで、図6 (A) に示すように、ゲイト絶縁膜41の上にゲイト電極（ゲイト配線）46、47を形成する。本実施例ではゲイト電極として、下層から珪素膜（導電性を持たせたもの）／窒化タングステン膜／タングステン膜（または下層から珪素膜／タングステンシリサイド膜）という積層膜を用いる。勿論、これら以外の他の導電膜を用いることも可能であることは言うまでもない。また、本実施例では、各ゲイト電極の膜厚は250 nmとする。

【0074】

次に、ゲイト電極 46、47 を覆って保護膜 43 として 25～50 nm 厚の SiN_xO_y (但し、代表的には $x=0.5\sim 2$ 、 $y=0.1\sim 0.8$) 膜を形成する。この保護膜 43 はゲイト電極 46、47 の酸化を防ぐものである。なお、成膜を 2 回に分けて行うことはピンホールの低減に効果があり有効である。

【0075】

この時、保護膜 43 を形成する前処理として水素を含むガス (本実施例ではアンモニアガス) を用いたプラズマ処理を行うことは有効である。この前処理によりプラズマによって活性化した (励起した) 水素が活性層 (半導体膜) 内に閉じこめられるため、効果的に水素終端が行われる。

【0076】

勿論、保護膜 43 として SiN_xO_y 膜の代わりに、酸化珪素膜、窒化珪素膜またはそれらの積層膜を用いることができる。

【0077】

こうして図 6 (A) の状態を得る。次に、図 6 (B) に示すように、保護膜 43 の上にレジストマスクなどからなるマスク膜 44 を設ける。このマスク膜 44 は、ゲイト電極 46、47 及び TFT の LDD 領域 (低濃度不純物領域) の上方を覆うように形成される。

【0078】

次に、活性層 (半導体膜) 39、40 に対して周期表の 15 族に属する元素 (本実施例ではリン) の添加工程を行う。この時、マスク膜 44 がマスクとなり、活性層 39、40 にはソース領域 50、51 及びドレイン領域 52、53 が形成される。ソース領域及びドレイン領域に添加されるリンの濃度は $5\times 10^{19}\sim 1\times 10^{21}\text{ atoms/cm}^3$ となるように調節する。

【0079】

この工程は、質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0080】

こうして図 6 (B) の状態を得たら、マスク膜 44 を除去し、図 6 (C) に示

すように再びリンの添加工程を行う。この工程は先のリンの添加工程よりも低いドーズ量で添加する。こうして先ほどはマスク膜 4 4 がマスクとなってリンが添加されなかった領域には低濃度不純物領域 5 4、5 5 が形成される。この低濃度不純物領域に添加されるリンの濃度は $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ となるように調節する。

【0081】

勿論、この工程も質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0082】

この工程により T F T のソース領域 5 0、5 1、ドレイン領域 5 2、5 3、L D D 領域 5 4、5 5、チャネル形成領域 4 5 が画定する。次いで、マスク膜 4 4 を除去する。

【0083】

なお、本実施例では、マスク膜 4 4 を用いて L D D 領域を形成する例を示しているが、サイドウォールを用いた方法により L D D 領域を形成することも可能である。

【0084】

次に、窒素雰囲気中、300～550℃の温度範囲で1～12時間の熱処理工程を行う。本実施例では、410℃で1時間の熱処理を窒素雰囲気中において行う。

【0085】

なお、本実施例で形成したゲイト電極上の保護膜 4 3 は、この熱活性化工程でゲイト電極が酸化されることを防ぐために設けられている。しかし、この保護膜 4 3 は必ずしもゲイト電極の形成直後に設ける必要はない。即ち、このあと形成される第1の層間絶縁膜を形成した後に、その上に保護膜を設け、その後で不純物元素の熱活性化工程を行っても同様の効果を得ることができる。

【0086】

こうして図 6 (C) の状態が得られたら、図 6 (D) に示すように、保護膜 4

3の上に第1の層間絶縁膜58を形成する。本実施例では、プラズマCVD法により形成した1 μ m厚の酸化珪素膜を用いる。ここで水素化処理を行う。この工程は基板全体をプラズマまたは熱により励起（活性化）した水素に曝す工程である。水素化処理の温度は、熱により励起する場合は350～450℃（好ましくは380～420℃）とすれば良い。

【0087】

次に、第1の層間絶縁膜58、保護膜43及びゲイト絶縁膜41に、ソース領域及びドレイン領域それぞれの上に位置する接続孔を形成する。次いで、この接続孔内及び第1の層間絶縁膜58上にソース電極59、60、ドレイン電極61、62を形成する。これにより、ソース電極59、60はソース領域50、51に電氣的に接続され、ドレイン電極61、62はドレイン領域52、53に電氣的に接続される。こうして図6（D）の状態を得る。

【0088】

次に、図7（A）に示すように、ソース／ドレイン電極を含む全面上に第2の層間絶縁膜63を形成する。第2の層間絶縁膜63としては、アクリル樹脂膜、ポリイミド等の有機性樹脂膜などを用いることが可能である。なお、必要に応じて第2の層間絶縁膜63内にブラックマスク、補助容量、電界遮蔽膜などの膜を形成しても良い。

【0089】

次いで、第2の層間絶縁膜63を加工することにより、該層間絶縁膜63にはドレイン電極61、62の上に位置するドレインコンタクトホール63a及びこのドレインコンタクトホール63aに繋げられた画素電極とほぼ等しい形状の凹部（溝）63c、63dが形成される。第2の層間絶縁膜63の加工方法は、図2に示す加工方法を用いることが好ましい。

【0090】

この後、図7（B）に示すように、ドレインコンタクトホール63a内、凹部63c、63d内及び第2の層間絶縁膜63上にスパッタ法によりITO膜64を成膜する。ITO膜64の膜厚は、ドレインコンタクトホールの径の1/2以上であることが好ましく、ドレインコンタクトホール内を全てITO膜64で埋

め込む。次いで、必要な場合は I T O 膜 6 4 を焼成する。

【0091】

次に、図 7 (C) に示すように、I T O 膜 6 4 を CMP 研磨する。この際、第 2 の層間絶縁膜 6 3 をストッパーとする。これにより、I T O 膜 6 4 が平坦化され、第 2 の層間絶縁膜 6 3 の凹部内には埋め込まれた I T O 膜からなる画素電極 6 4 a、6 4 b が形成され、この画素電極 6 4 a はドレインコンタクトホール内でドレイン電極 6 1 に電氣的に接続される。

【0092】

上記実施例 1 によれば、ドレインコンタクトホール 6 3 a 内を全て埋め込み I T O 膜 6 4 で埋め込むことにより、ドレインコンタクトホールによる段差の発生を防止することができる。また、凹部 6 3 c、6 3 d 内を全て I T O 膜 6 4 で埋め込み、第 2 の層間絶縁膜 6 3 をストッパーとして I T O 膜 6 4 を CMP 研磨することにより、第 2 の層間絶縁膜 6 3 と I T O 膜からなる画素電極 6 4 a、6 4 b との段差の発生を防止することができる。これにより、段差に影響されずにラビング処理を行うことができ、段差に影響された液晶の配向乱れを抑制することができ、光漏れの発生を低減することができる。

【0093】

また、I T O 膜からなる画素電極 6 4 a、6 4 b の相互の間隔は狭くすることが好ましい。I T O 膜からなる画素電極の相互の間隔を縮小することにより、その下に形成されるブラックマスクの幅を縮小することができ、開口率を向上させることができるからである。具体的方法としては、例えば、第 2 の層間絶縁膜 6 3 に凹部 6 3 c、6 3 d を形成する際のエッチングにウエットエッチングを選択し、このウエットエッチングによる凹部の部分のサイドエッチング量を大きめに制御することにより、I T O 膜からなる画素電極の相互間隔を狭くすることが可能である。

【0094】

また、前記サイドエッチングにより凹部 6 3 c、6 3 d の幅を広げた部分（即ちエッチングマスクであるレジストパターン下部）までドレイン電極 6 1 を伸ばし、この部分にドレインコンタクトホールを形成することも可能である。

【0095】

(実施例2)

図8 (A) 乃至 (C) は、本発明の実施例2による半導体装置の一例としての AMLCD の製造方法を示す断面図であり、図5乃至図7と同一部分には同一符号を付す。

【0096】

図8 (A) に示すソース電極59、60及びド레인電極61、62を形成する工程までは実施例1と同様である。

次に、ソース／ド레인電極を含む全面上に第2の層間絶縁膜65を形成する。第2の層間絶縁膜65としては、アクリル樹脂膜、ポリイミド等の有機性樹脂膜などを用いることが可能である。なお、必要に応じて第2の層間絶縁膜65内にブラックマスク、補助容量、電界遮蔽膜などの膜を形成しても良い。

【0097】

次いで、第2の層間絶縁膜65をCMPで研磨することにより、該層間絶縁膜65を平坦化する。次いで、この平坦化した層間絶縁膜65の上にレジスト膜（図示せず）を塗布し、このレジスト膜を露光、現像することにより、該層間絶縁膜65の上にはレジストパターンが形成される。次いで、このレジストパターンをマスクとして第2の層間絶縁膜65をエッチングする。この際、エッチングはウエットエッチングでもドライエッチングでも良い。これにより、該層間絶縁膜65にはド레인電極61の上に位置するド레인コンタクトホール65aが形成される。次いで、レジストパターンを剥離する。

【0098】

次いで、ド레인コンタクトホール65a内及び第1の層間絶縁膜65上にITO膜66を成膜する。ITO膜66の膜厚は、ド레인コンタクトホールの径の1/2以上であることが好ましく、ド레인コンタクトホール内を全てITO膜66で埋め込む。次いで、このITO膜66を焼成する。

【0099】

この後、図8 (B) に示すように、成膜したITO膜66の厚さの分だけ該ITO膜66をエッチバックする。これにより、ド레인コンタクトホール65a

内にはITO膜が埋め込まれ、この埋め込みITO膜66aを含む層間絶縁膜65は平坦化され、埋め込みITO膜66aはドレインコンタクトホール内でドレイン電極61に電氣的に接続される。

【0100】

次いで、埋め込みITO膜66a及び第2の層間絶縁膜65の上にITO膜67を成膜する。次いで、ITO膜67の上にレジスト膜を塗布し、このレジスト膜を露光、現像することにより、ITO膜67上にはレジストパターン68が形成される。

【0101】

次に、このレジストパターン68をマスクとしてITO膜67をエッチングする。この際、エッチングはウエットエッチングでもドライエッチングでも良い。次いで、レジストパターン68を剥離する。これにより、図8(C)に示すように、埋め込みITO膜66a及び第2の層間絶縁膜65の上にITO膜からなる画素電極67a、67bが形成される。次いで、このITO膜からなる画素電極67a、67bを焼成する。

【0102】

上記実施例2によれば、ドレインコンタクトホール65a内を全て埋め込みITO膜66aで埋め込むことにより、ドレインコンタクトホールによる段差の発生を抑制することができる。したがって、段差に影響されずにラビング処理を行うことができ、段差に影響された液晶の配向乱れを抑制することができ、光漏れの発生を低減することができる。

【0103】

(実施例3)

図9(A)乃至(C)は、本発明の実施例3による半導体装置の一例としてのAMLCDの製造方法を示す断面図であり、図8と同一部分には同一符号を付す。

【0104】

図9(A)に示す第2の層間絶縁膜65を形成し、ドレインコンタクトホール65aを形成する工程までは実施例2と同様である。

次いで、ドレインコンタクトホール65a内及び第2の層間絶縁膜65上にITO膜69を成膜する。ITO膜69の膜厚は、ドレインコンタクトホールの径の1/2以上であることが好ましく、ドレインコンタクトホール内を全てITO膜69で埋め込む。

【0105】

この後、図9(B)に示すように、ITO膜69をエッチバックすることにより、第2の層間絶縁膜65上のITO膜の膜厚を所定の厚さに制御する。この際の制御方法としては例えばエッチング時間により制御する方法が挙げられる。エッチバックはドライエッチングでもウエットエッチングでも良い。このようにしてコンタクトホール65a内にはITO膜69が埋め込まれ、ITO膜69はドレインコンタクトホール内でドレイン電極61に電氣的に接続される。次いで、ITO膜69の上にレジスト膜を塗布し、このレジスト膜を露光、現像することにより、ITO膜69上にはレジストパターン70が形成される。

【0106】

次いで、このレジストパターン70をマスクとしてITO膜69をエッチングする。この際、エッチングはウエットエッチングでもドライエッチングでも良い。次いで、レジストパターン70を剥離する。これにより、図9(C)に示すように、第2の層間絶縁膜65の上にはITO膜からなる画素電極69a、69bが形成され、このITO膜からなる画素電極69aはドレインコンタクトホール内でドレイン電極61に電氣的に接続される。次いで、ITO膜からなる画素電極を焼成する。

【0107】

上記実施例3によれば、ドレインコンタクトホール65a内を全てITO膜69で埋め込むことにより、ドレインコンタクトホールによる段差の発生を抑制することができる。したがって、段差に影響されずにラビング処理を行うことができ、段差に影響された液晶の配向乱れを抑制することができ、光漏れの発生を低減することができる。

【0108】

尚、本発明は前述した実施例1乃至3に限定されず、種々変更して実施すること

とが可能である。例えば、AMLC Dにおいてブラックマスクをアクティブマトリクス基板に設ける構成とすることも可能であり、また対向側にブラックマスクを設ける構成とすることも可能である。また、本発明は、TFTに限らず、単結晶シリコンウエハ上に形成されたMOSFETの配線接続にも活用することが可能である。また、本発明は、反射型モードで駆動するAMLC Dに限らず、透過型モードで駆動するAMLC Dに適用することも可能である。

【0109】

前記実施例に示したAMLC Dは、様々な電子機器のディスプレイとして利用される。なお、電子機器とは、アクティブマトリクス型液晶表示装置を搭載した製品と定義する。その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。

【0110】

【発明の効果】

以上説明したように本発明によれば、コンタクト部の段差又は画素電極間の段差に起因するディスクリネーションの発生を防止する半導体装置及びその作製方法を提供することができる。

【図面の簡単な説明】

【図1】

(A)乃至(C)は、本発明に係る第1の実施の形態による半導体装置の一例であるAMLC Dの製造方法を示す断面図である。

【図2】

(A)乃至(D)は、図1(A)に示す状態を実現する製造方法の一例を示す断面図である。

【図3】

(A)乃至(D)は、本発明に係る第2の実施の形態による半導体装置の一例であるAMLC Dの製造方法を示す断面図である。

【図4】

(A) 乃至 (D) は、本発明に係る第 3 の実施の形態による半導体装置の一例である AMLCD の製造方法を示す断面図である。

【図 5】

(A) 乃至 (D) は、本発明の実施例 1 による半導体装置の一例としての AMLCD の製造方法を示す断面図である。

【図 6】

(A) 乃至 (D) は、本発明の実施例 1 による半導体装置の一例としての AMLCD の製造方法を示すものであり、図 5 (D) の次の工程を示す断面図である。

【図 7】

(A) 乃至 (C) は、本発明の実施例 1 による半導体装置の一例としての AMLCD の製造方法を示すものであり、図 6 (D) の次の工程を示す断面図である。

【図 8】

(A) 乃至 (C) は、本発明の実施例 2 による半導体装置の一例としての AMLCD の製造方法を示す断面図である。

【図 9】

(A) 乃至 (C) は、本発明の実施例 3 による半導体装置の一例としての AMLCD の製造方法を示す断面図である。

【図 10】

従来の半導体装置を模式的に示す断面図である。

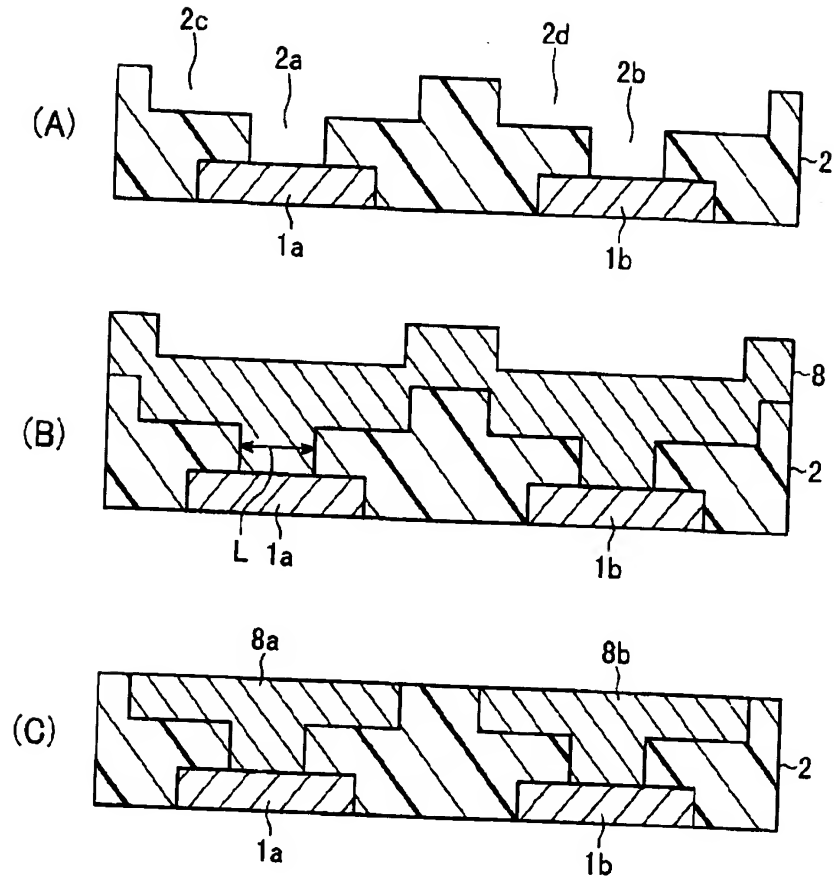
【符号の説明】

| | |
|---------------------------|------------------|
| 1 a, 1 b…電極 | 2…絶縁膜 |
| 2 a, 2 b…コンタクトホール | 2 c, 2 d…凹部 (溝) |
| 3…層間絶縁膜 | 4…窒化珪素膜 |
| 5…酸化珪素膜 | |
| 6, 7, 20, 68, 70…レジストパターン | |
| 8, 28…導電膜 | 8 a, 8 b…埋め込み導電膜 |
| 12, 102…層間絶縁膜 | 12 a…コンタクトホール |

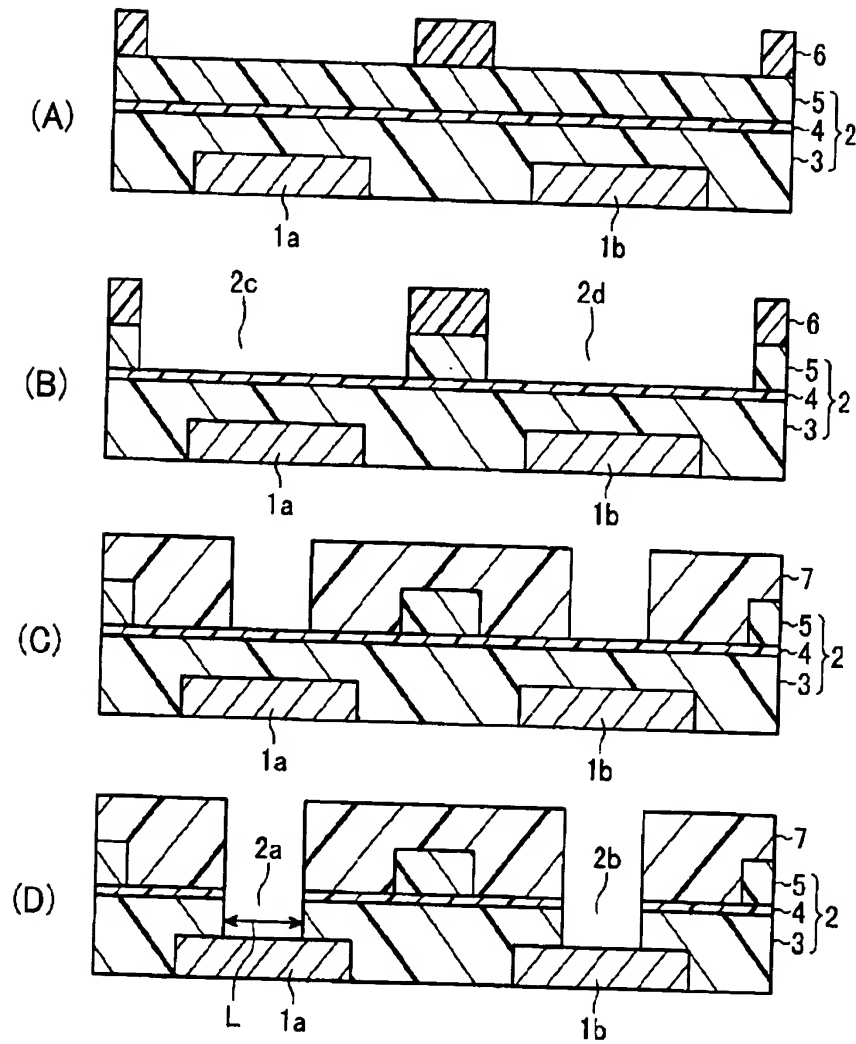
| | |
|---|---------------------|
| 18…第1の導電膜 | 18a…埋め込み導電膜 |
| 19…第2の導電膜 | 19a, 28a…導電膜パターン |
| 31…石英基板 | 32…非晶質珪素膜 |
| 33…マスク絶縁膜 | 34…開口部 |
| 37…リン添加領域 | 38…被ゲッタリング領域 |
| 39, 40…活性層 | 41…ゲイト絶縁膜 |
| 43…保護膜 | 44…マスク膜 |
| 45…チャネル形成領域 | |
| 46, 47…ゲイト電極 | 50, 51…ソース領域 |
| 52, 53…ドレイン領域 | 54, 55…低濃度不純物領域 |
| 58…第1の層間絶縁膜 | 59, 60…ソース電極 |
| 61, 62, 101…ドレイン電極 | |
| 63, 65…第2の層間絶縁膜 | |
| 63a, 65a, 102a…ドレインコンタクトホール | |
| 63c, 63d…凹部(溝) | 64, 66, 67, 69…ITO膜 |
| 64a, 64b, 67a, 67b, 69a, 69b…ITO膜からなる画素電極 | |
| 103…画素電極 | 103a…オーバーラップ領域 |
| L…コンタクトホールの径 | |

【書類名】 図面

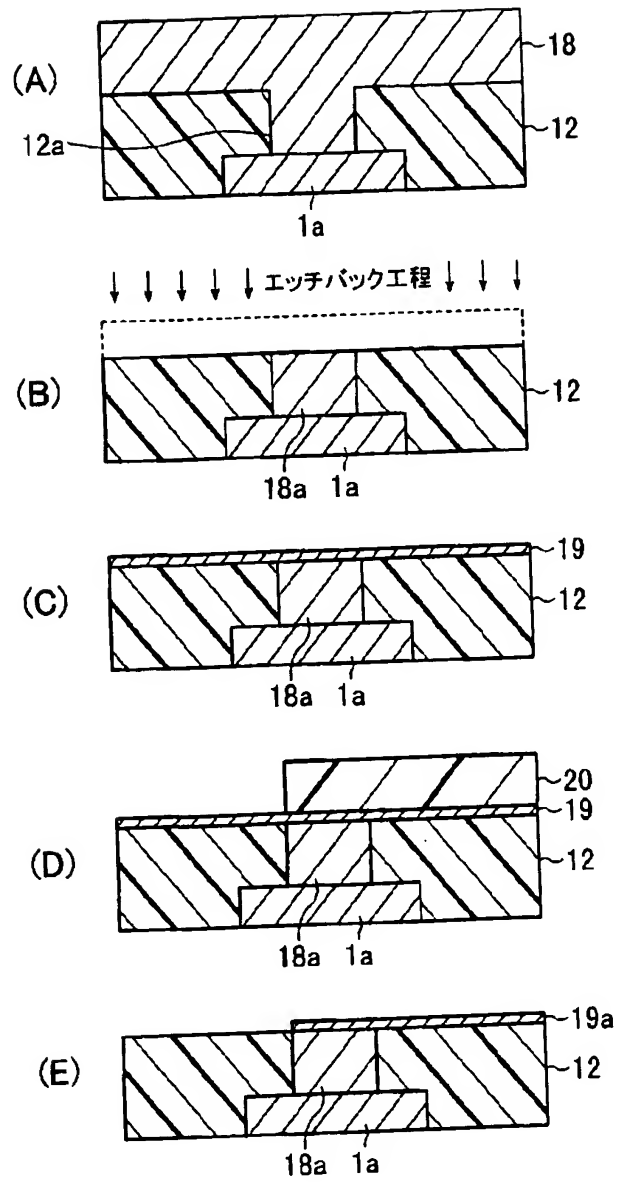
【図 1】



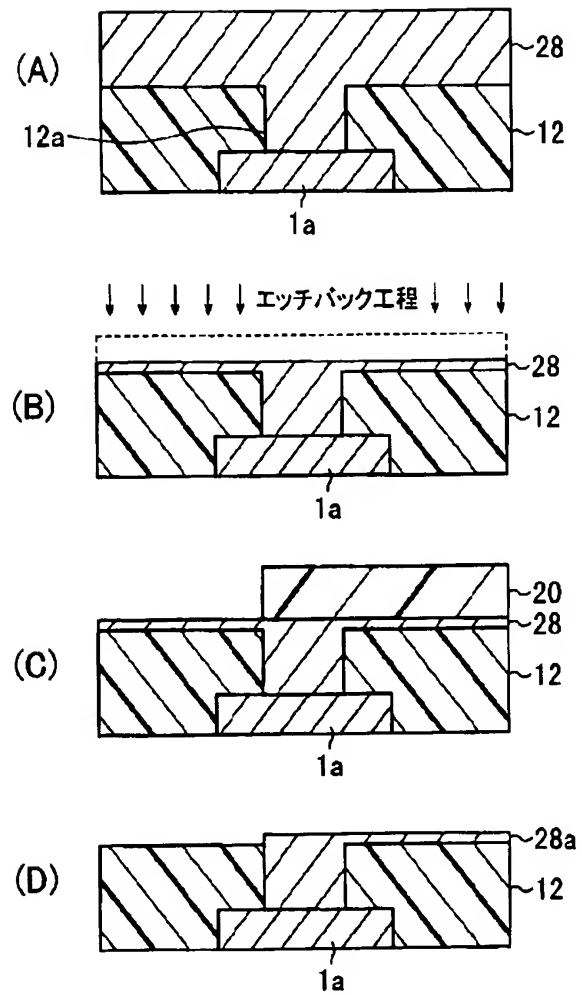
【図 2】



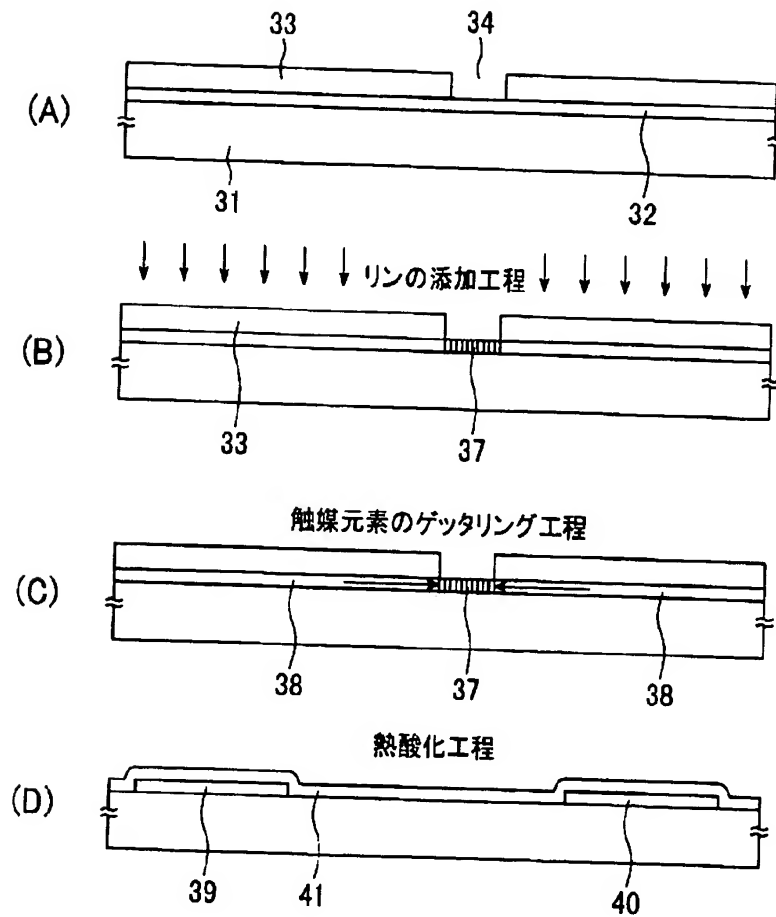
【図 3】



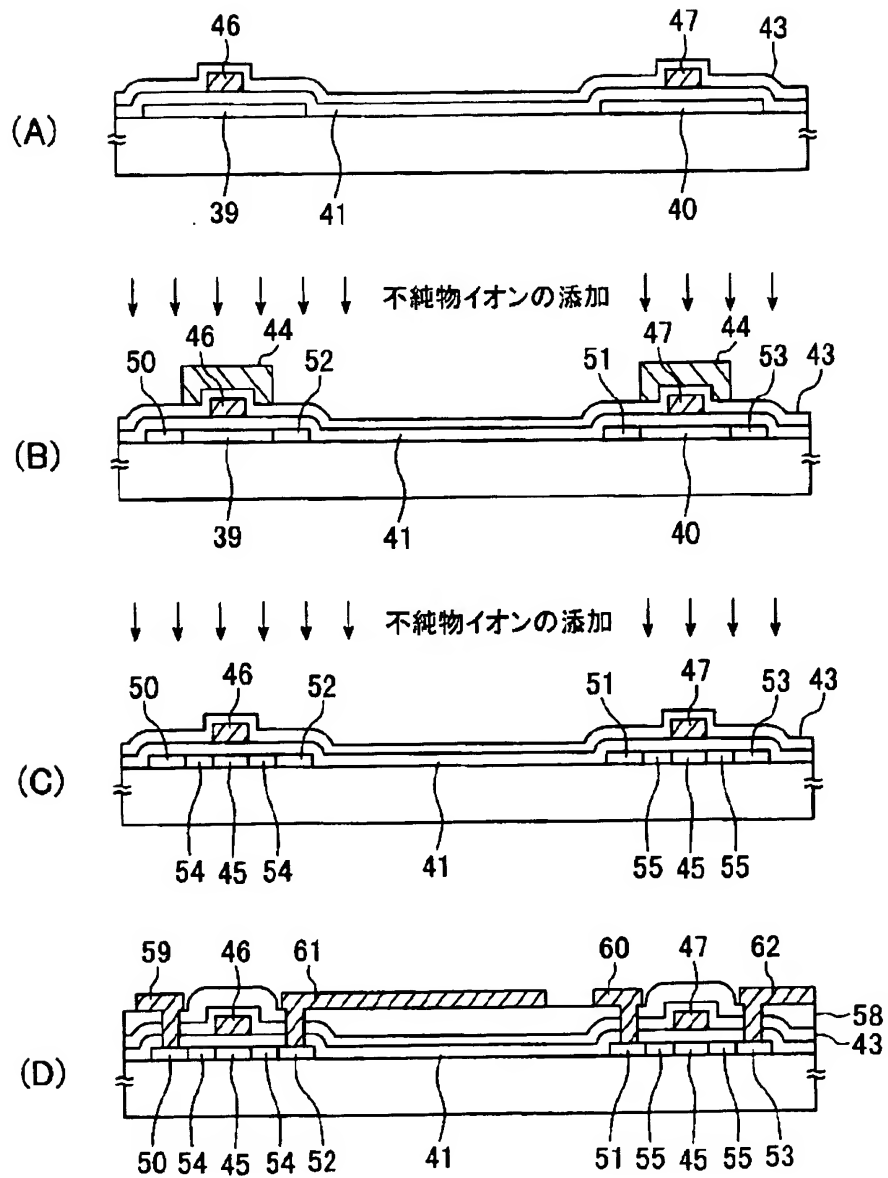
【図 4】



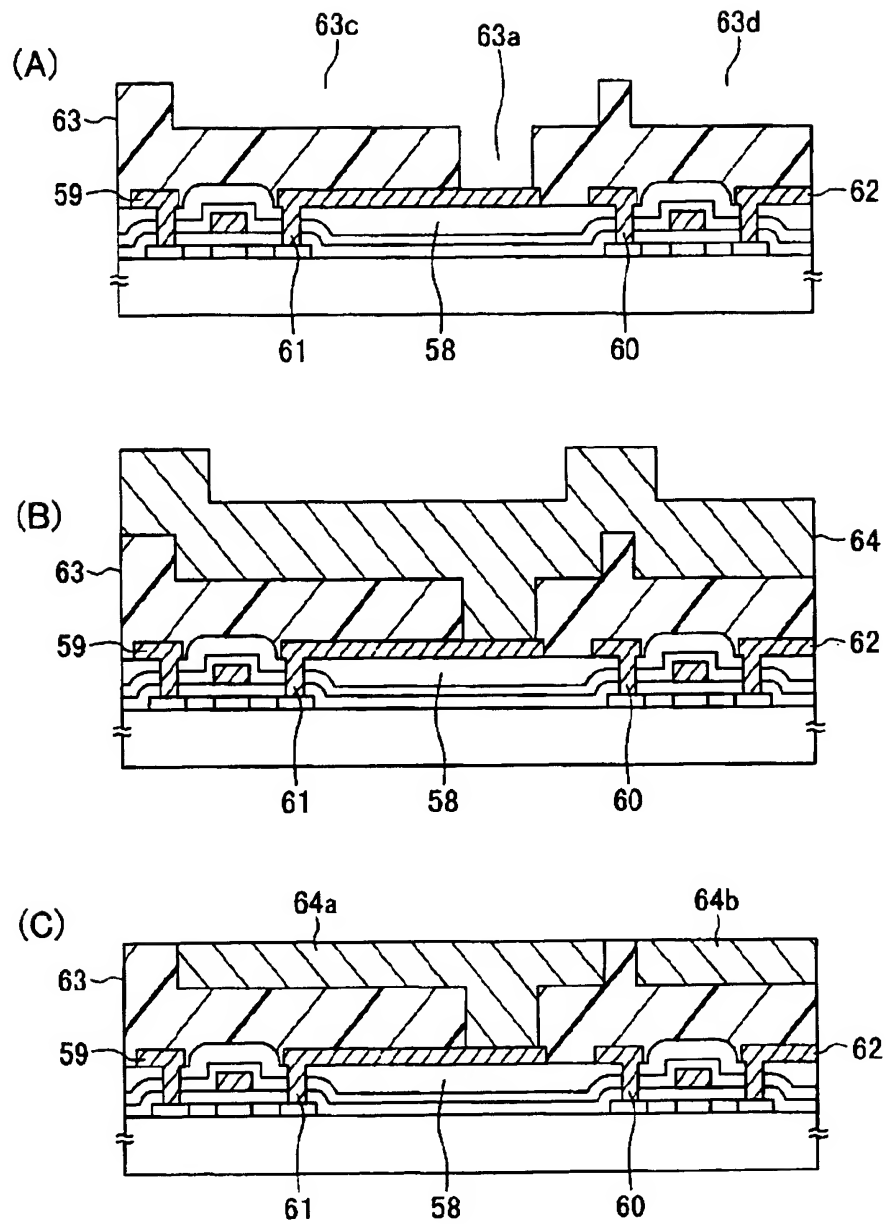
【図 5】



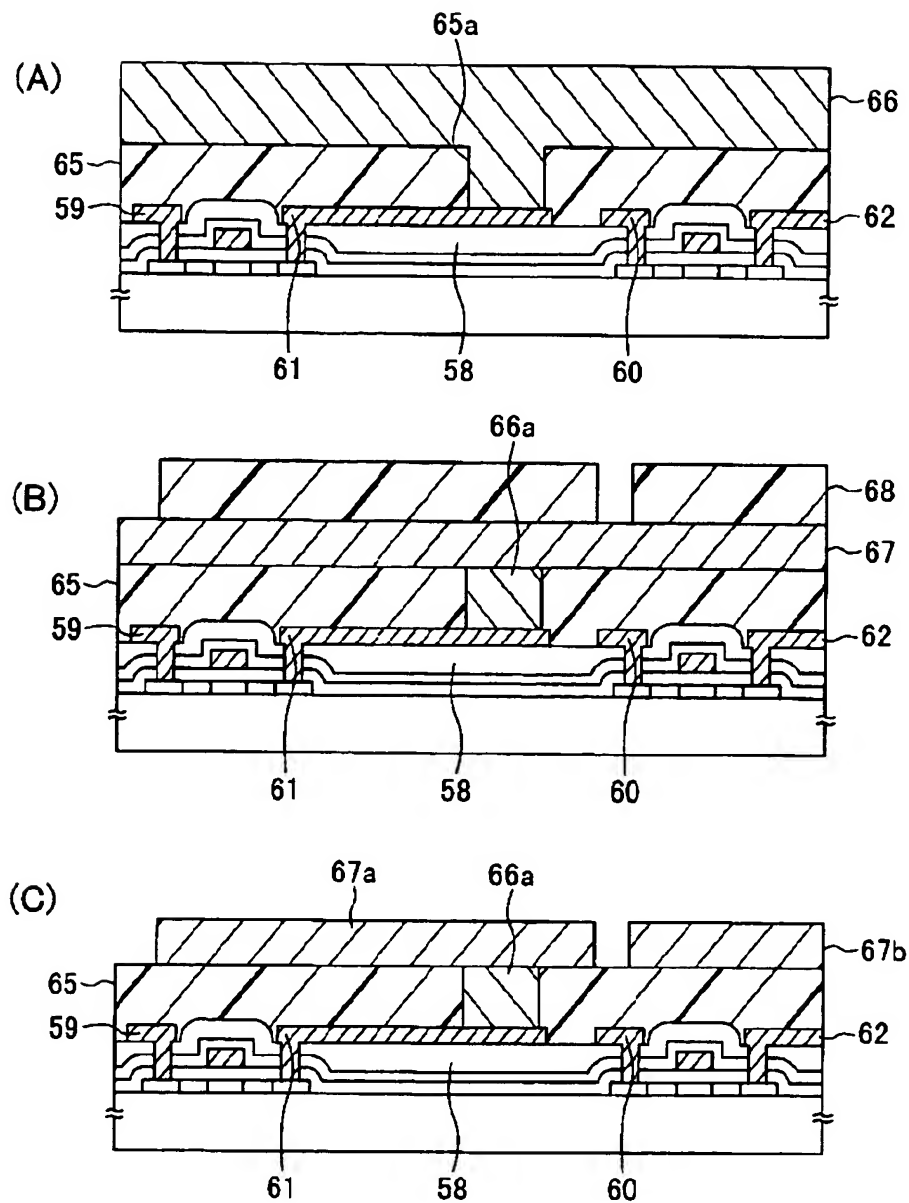
【図 6】



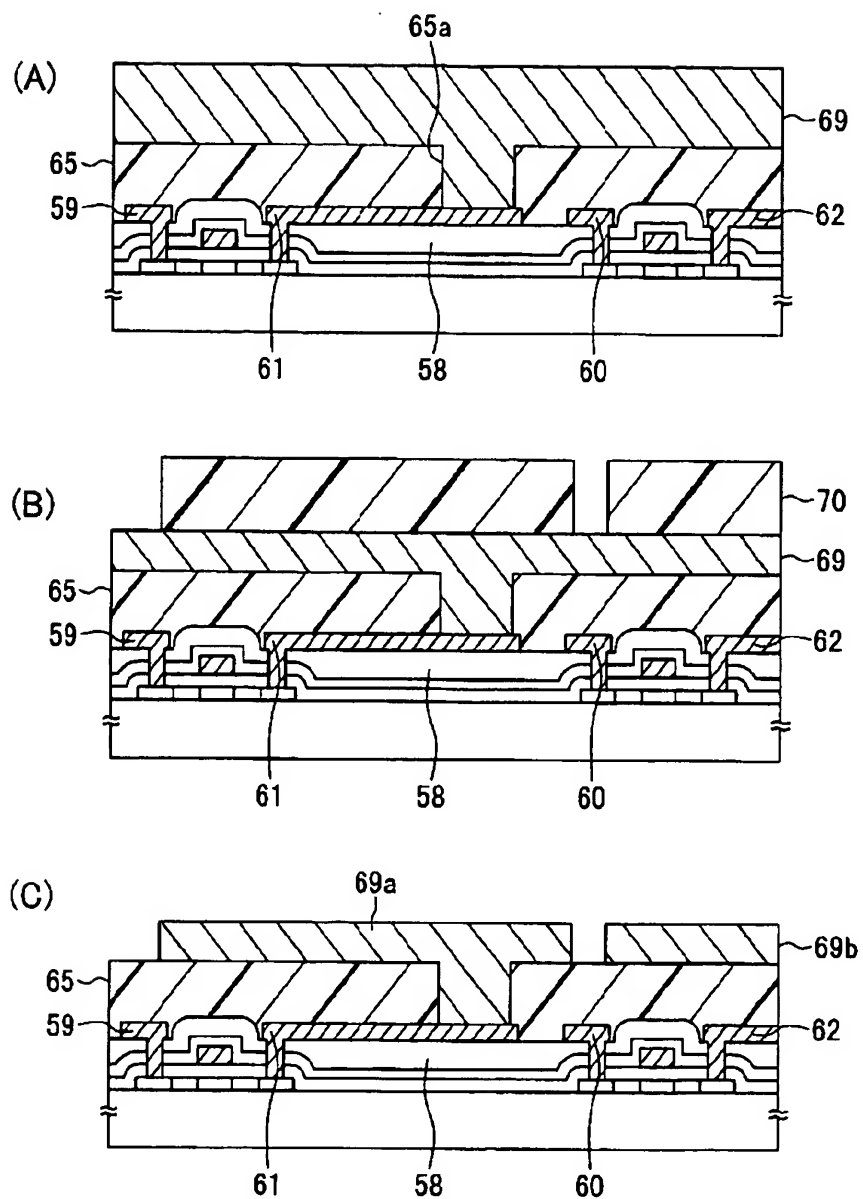
【図 7】



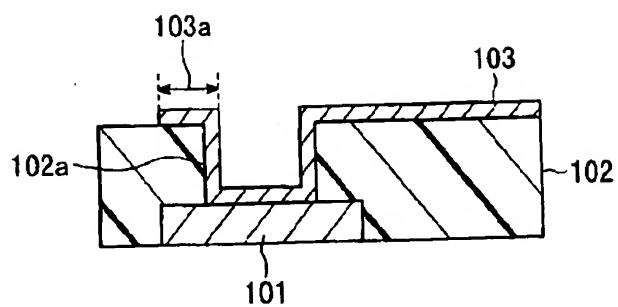
【図8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 コンタクト部の段差又は画素電極間の段差に起因するディスクリネーションの発生を防止する半導体装置及びその作製方法を提供する。

【解決手段】 本発明に係る半導体装置の作製方法は、電極 1 a 上に、該電極を覆うように絶縁膜 2 を形成する工程と、前記絶縁膜 2 に、前記電極上に位置するコンタクトホール 2 a、2 b 及び該コンタクトホールに繋げられた凹部 2 c、2 d を形成する工程と、前記コンタクトホール内及び前記凹部内に導電膜 8 を埋め込むと共に前記絶縁膜上に導電膜 8 を形成する工程と、前記導電膜を CMP 研磨又はエッチバックすることにより、前記コンタクトホール内及び前記凹部内に埋め込まれた導電膜 8 a、8 b からなる画素電極を形成する工程と、を具備するものである。

【選択図】 図 1

特願 2002-320785

出願人履歴情報

識別番号

[000153878]

1. 変更年月日

1990年 8月17日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷398番地

氏 名

株式会社半導体エネルギー研究所



特願 2002-320785

出願人履歴情報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住所

大阪府大阪市阿倍野区長池町22番22号

氏名

シャープ株式会社

、

、

、

、